

Лабораторная работа ИССЛЕДОВАНИЕ ТРИГГЕРНЫХ СХЕМ

Цель работы: изучение схем и функциональных возможностей основных типов триггеров; экспериментальное изучение триггеров и схем управления.

Общие сведения

Триггерами называют электронные устройства, обладающие двумя состояниями устойчивого равновесия и способные под воздействием управляющего сигнала переходить скачком из одного состояния в другое. Каждому состоянию триггера соответствует определенный (высокий или низкий) уровень выходного напряжения, который может сохраняться как угодно долго. Поэтому триггеры относятся к цифровым автоматам с памятью. В настоящее время триггеры выполняются на основе логических элементов в виде интегральных микросхем (ИМС). Триггеры применяются как переключающие элементы самостоятельно или входят в состав более сложных цифровых устройств таких, как счетчики импульсов, делители частоты, регистры и др.

В общем случае триггер имеет два выхода: прямой (Q) и инверсный ($\bar{Q}$), сигналы на которых противоположны по уровню. Состояние триггера определяется выходом Q . По способу управления триггеры делятся на *асинхронные*, состояние которых меняется в момент поступления информационного сигнала, и *синхронизируемые (синхронные)*, которые срабатывают только при подаче разрешающего или синхронизирующего сигнала.

По функциональному назначению различают триггеры: RS , D , T , JK .

По виду активного логического сигнала триггеры разделяют на *статические*, управляемые уровнем (0 или 1), и *динамические*, управляемые перепадом входного сигнала (фронтом или срезом).

Работа триггера может быть описана логическим уравнением, связывающим состояние входов и выходов триггера до его срабатывания (t) и после срабатывания ($t+1$). Состояние триггера можно задать таблицей состояний или временной диаграммой его работы.

Асинхронный RS-триггер – простейший элемент памяти, который может быть реализован на логических элементах (ЛЭ) 2ИЛИ-НЕ или 2И-НЕ. В зависимости от этого данный триггер может обладать либо инверсными, либо прямыми информационными входами.

Схема триггера на ЛЭ 2ИЛИ-НЕ и его условное обозначение показаны на рис. 8.1. При $S = R = 0$ схема устойчива, обеспечивается режим хранения информации.

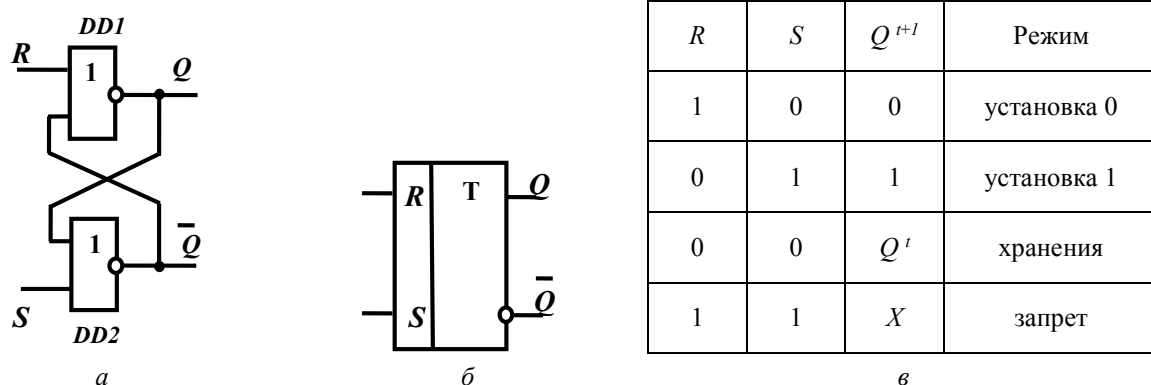


Рис. 8.1. Асинхронный RS -триггер на элементах 2ИЛИ-НЕ:

a – структурная схема; b – обозначение RS -триггера;
 $в$ – таблица состояний

Если $Q = 1$, то на входах $DD2$ сигналы 1 и 0, при которых на выходе элемента формируется $\bar{Q} = 0$. На входах $DD1$ сигналы 0 и 0, что сохраняет этот элемент в состоянии $Q = 1$. Для изменения состояния триггера на его входы надо подать комбинацию сигналов $R = 1$, $S = 0$. Тогда на входе $DD1$ появится высокий уровень и этот элемент перейдет в состояние $Q = 0$. На входах $DD2$ установятся сигналы 0, 0, и логический элемент перейдет в состояние $Q = 1$. Комбинация $S = 1$, $R = 0$ возвратит триггер в состояние $Q = 1$, $\bar{Q} = 0$. При входных сигналах $S = 1$, $R = 1$ состояние триггера неопределенно, т. к. при такой комбинации на входах триггера $Q = \bar{Q}$ – эта комбинация запрещена. Работа триггера иллюстрируется табл. состояний (рис. 8.1, в).

Схема и условное обозначение RS -триггера на ЛЭ 2И-НЕ показаны на рис. 8.2.

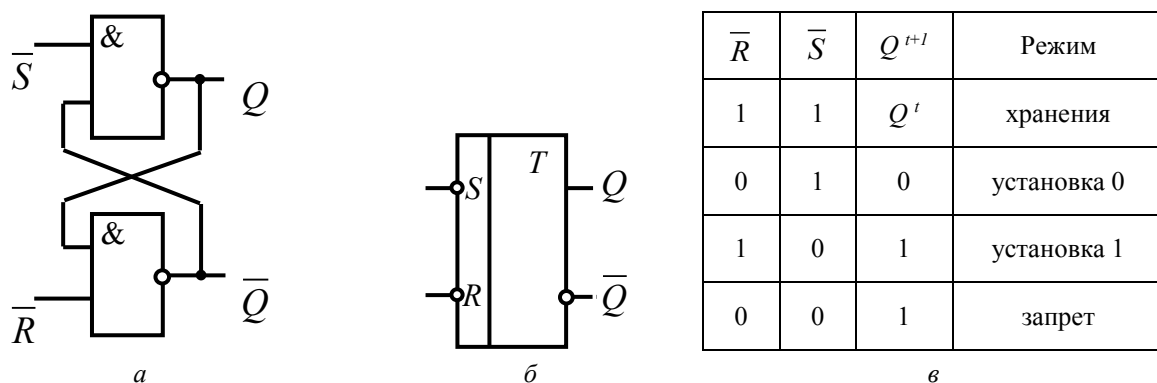


Рис. 8.2. Асинхронный RS -триггер на элементах 2И-НЕ:
 a – структурная схема; b – обозначение RS -триггера;
 c – таблица состояний

Триггер имеет два информационных входа – S и R , переключение производится логическим «0». Поступление управляющего сигнала на вход S переводит триггер в состояние логической «1» ($Q = 1$, $\overline{Q} = 0$). Подача управляющего сигнала на R обеспечивает переход триггера в состояние логического «0» ($Q = 0$, $\overline{Q} = 1$). Запрещенная комбинация соответствует логическим «0» на обоих входах. Отсутствие управляющего сигнала реализует режим хранения информации.

Синхронный RS -триггер может быть получен на базе асинхронного RS -триггера, введением дополнительной логической схемы, которая формировала бы на его входах активные логические уровни только при наличии сигнала синхронизации C . Структурная схема и условно графическое обозначение синхронного RS -триггера приведены на рис. 8.3.

D-триггер имеет информационный вход D и синхровход C . Его можно построить на основе RS -триггера, добавив схему управления из двух логических элементов 2И-НЕ (рис. 8.4).

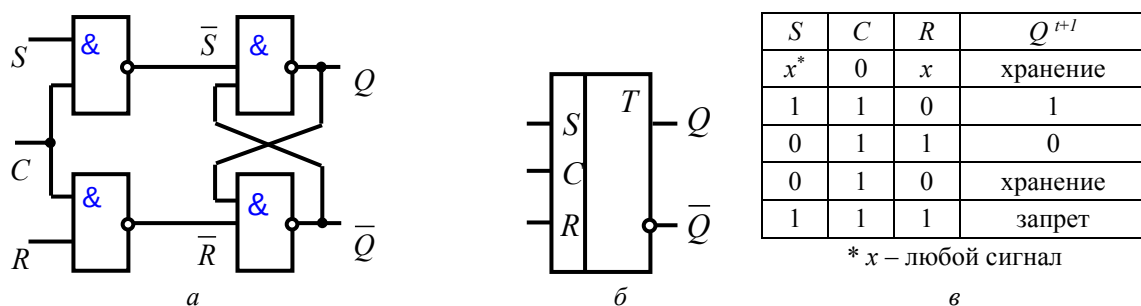


Рис. 8.3. Синхронный RS -триггер на элементах 2И-НЕ:
 a – структурная схема; b – обозначение синхронного RS -триггера;
 c – таблица состояний

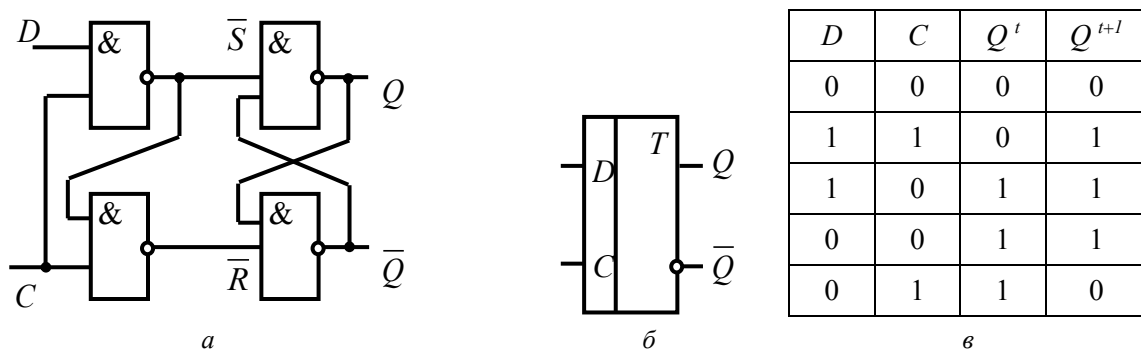


Рис. 8.4. D -триггер
 a – структурная схема; b – обозначение D -триггера;
 c – таблица состояний

Вход C подает синхроимпульс на оба элемента 2И-НЕ и готовит срабатывание схемы управления. Если синхроимпульс отсутствует ($C = 0$), схема пассивна при любом сигнале на входе D , так как на выходах элементов 2И-НЕ удерживаются высокие уровни напряжения (1), при которых не происходит переключение внутреннего RS -триггера.

Пусть в момент прихода синхроимпульса $D = 0$, тогда на вход $\bar{S}$ попадает сигнал 1, а на вход $\bar{R} = 0$. Триггер переходит в состояние $Q = 0$. Он сохранит это состояние до следующего синхроимпульса, даже если на входе D появится высокий уровень ($D = 1$). Только при $D = 1$ и $C = 1$ окажется $\bar{R} = 1$, $\bar{S} = 0$, и триггер примет состояние $Q = 1$. Это состояние опять задержится на один такт. Поэтому D -триггеры называют *триггерами задержки*.

На лабораторном стенде D -триггер представлен микросхемой K155TM2 (рис. 8.5), которая кроме информационного входа D и синхронизирующего C содержит также и инверсные входы асинхронной установки $\bar{R}$, $\bar{S}$. Установка триггера по сигналам $\bar{R}$, $\bar{S}$ входов выполняется независимо от состояния остальных входов. Данный триггер имеет динамический вход C , т. е. способен изменять свое состояние только в момент перепада синхроимпульса с 0 на 1 (фронтом импульса).

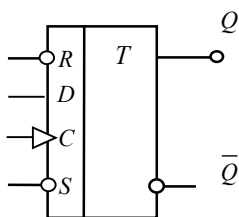


Рис. 8.5. D -триггер с динамическим C входом. Микросхема K155TM2

Счетный T -триггер имеет один управляющий вход T . Его условное обозначение и временные диаграммы состояний показаны на рис. 8.6. Состояние T -триггера изменяется на противоположное при каждом изменении входного сигнала.

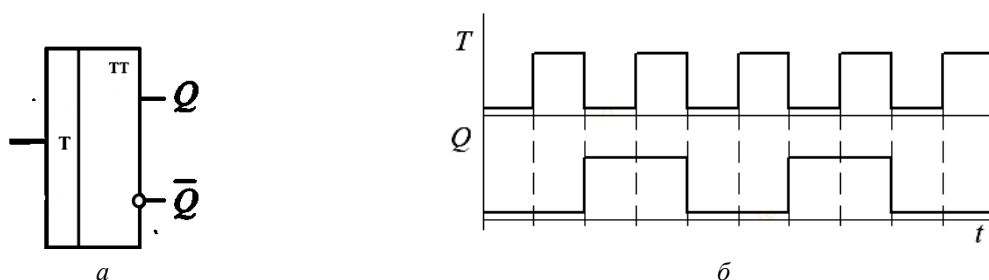


Рис. 8.6. T -триггер:
а – обозначение; б – временная диаграмма

Частота выходных импульсов в 2 раза ниже частоты входных. Поэтому T -триггеры используются как делители частоты на 2 или счетчики по модулю 2. В виде ИМС триггеры этого типа не выпускаются. Их можно легко создать на основе D - и JK -триггеров.

JK-триггеры относятся к универсальным, имеют информационные входы J и K и синхронизирующий вход C . Они используются при создании счетчиков, регистров и других устройств. При определенном переключении входов JK -триггеры могут работать как асинхронный RS -триггер, D -триггер и T -триггер. Благодаря такой универсальности они имеются во всех сериях ИМС. Условное обозначение JK -триггера показано на рис. 8.7, а. Асинхронная установка триггера в исходное состояние $Q = 1$ или $Q = 0$ осуществляется подачей сигналов $S = 0$ или $R = 0$. Эти команды выполняются при любых сигналах на других входах. В остальном JK -триггер работает, как синхронный, т. е. команды выполняются только при поступлении импульса на вход C . Наличие высокого уровня на J -входе ($J = 1$) переводит триггер в состояние $Q = 1$, а сигнал $K = 1$ соответствует $Q = 0$. При высоком уровне на обоих входах ($J = K = 1$) он работает как T -триггер (рис. 8.7, б). На рис. 8.7, в, показана схема использования JK -триггера в качестве D -триггера.

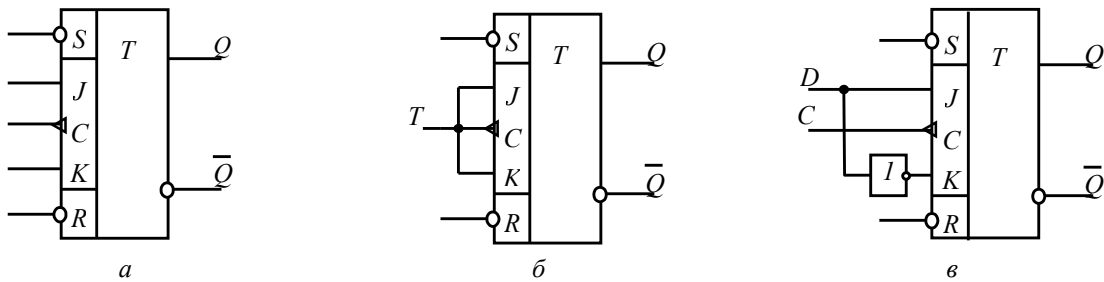


Рис. 8.7. JK -триггер:
 a – обозначение микросхемы К155ТБ1; $б$ – схема реализации T -триггера на JK ;
 $в$ – схема реализации D -триггера на JK

На лабораторном стенде JK -триггер представлен микросхемой К155ТБ1, которая имеет динамический синхровход C , что обеспечивает синхронный режим работы при приходе среза импульса C (перепад с 1 на 0).

Предварительное задание к эксперименту

1. Изучить принцип действия основных типов триггеров.
2. По заданным временным диаграммам (рис. 8.8, 8.9) входных сигналов для D - и JK -триггеров определить состояние выходов Q или $\bar{Q}$ (в соответствии с вариантом в табл. 8.1), приняв предустановку триггеров $Q = 0$. При формировании состояния триггеров необходимо учитывать, что JK - и D -триггеры, представленные на лабораторном стенде, являются триггерами с динамическим управлением. D -триггер способен изменить состояние по фронту импульса C , а JK – по срезу.

Таблица 8.1

Вариант		1	2	3	4	5	6	7	8
Триггеры	D	$\bar{Q}$	Q	Q	$\bar{Q}$	Q	$\bar{Q}$	Q	$\bar{Q}$
	JK	Q	Q	$\bar{Q}$	Q	$\bar{Q}$	$\bar{Q}$	Q	$\bar{Q}$
	T на	JK	D	JK	D	JK	D	JK	D

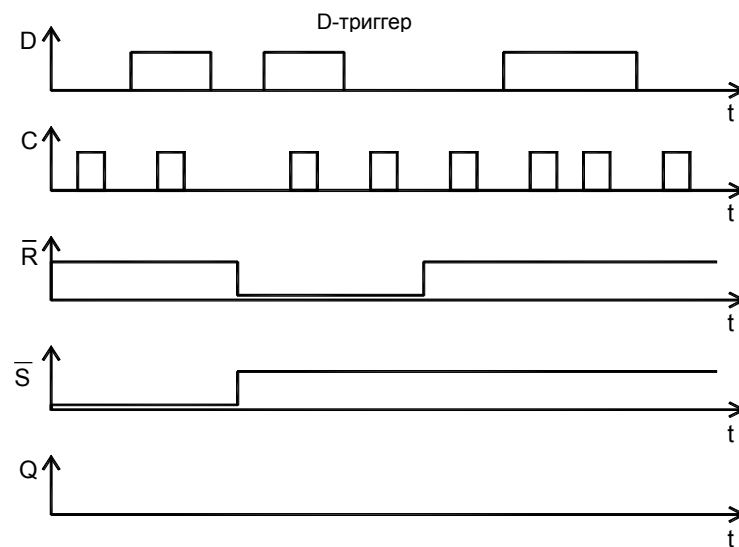


Рис. 8.8. Временные диаграммы входных сигналов для триггеров D и JK

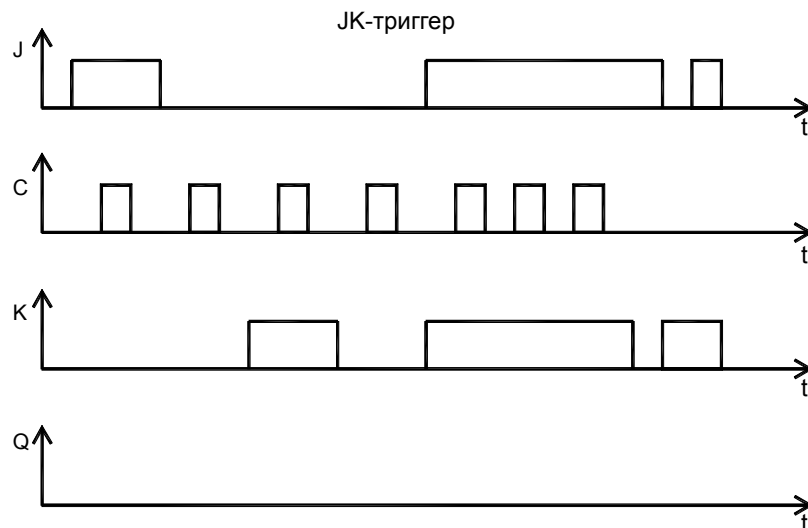


Рис. 8.9. Временные диаграммы входных сигналов для триггеров *D* и *JK*
(окончание рис. 8.8)

Порядок выполнения эксперимента

1. Ознакомиться с устройством стенда для исследования различных типов триггеров. Наборное поле позволяет формировать высокий (горит) либо низкий (не горит) уровень входного сигнала, а индикаторы отражают состояние выходов триггера.
2. Собрать схему асинхронного *RS*-триггера на логических элементах 2И-НЕ.
3. Исследовать работу асинхронного *RS*-триггера. Составить временную диаграмму работы триггера.
4. Исследовать работу синхронного *RS*-триггера. Составить временную диаграмму работы триггера. Пояснить преподавателю свои выводы о различиях в работе синхронного и асинхронного триггера.
5. Исследовать работу *D*-триггера. Подавая заданную комбинацию входных сигналов зафиксировать состояние триггера и сравнить с теоретически полученной временной диаграммой. Проанализировав работу *D*-триггера, пояснить, почему его называют триггером задержки?
6. Исследовать работу *JK*-триггера. Подавая заданную комбинацию входных сигналов зафиксировать состояние триггера и сравнить с теоретически полученной временной диаграммой.
7. Исследовать работу *T*-триггера на базе *JK*-либо *D*-триггера, в соответствии с предварительным заданием. Подключить последовательно два *T*-триггера. Отразить работу при помощи временной диаграммы и сравнить частоту входных и выходных сигналов.

Контрольные вопросы

1. Что такое триггер?
2. Для чего используются триггеры?
3. Чем отличаются прямой и инверсный выходы триггера?
4. Как работают *RS*-триггеры? Начертите временную диаграмму и таблицу истинности.
5. Как работают *D*-триггеры?
6. Для чего применяют синхровход триггера?
7. Поясните принцип работы *T*-триггера. Начертите временные диаграммы.
8. Начертите схему делителя частоты импульсов на 8.